

CLIPPEDIMAGE= JP410154814A
PAT-NO: JP410154814A
DOCUMENT-IDENTIFIER: JP 10154814 A
TITLE: ACTIVE-MATRIX SUBSTRATE AND MANUFACTURE THEREOF

PUBN-DATE: June 9, 1998

INVENTOR-INFORMATION:

NAME
KIMURA, MUTSUMI

ASSIGNEE-INFORMATION:

NAME
SEIKO EPSON CORP

COUNTRY
N/A

APPL-NO: JP08313826
APPL-DATE: November 25, 1996

INT-CL_(IPC): H01L029/786; G02F001/136 ; H01L021/336

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an active matrix substrate which can realize reduction in the off leak current and securing of a large on-current in a thin film transistor(TFT) for a driving circuit and also can realize reduction of an off leak current in a pixel TFT, and also to provide a method for fabricating the substrate.

SOLUTION: The active matrix substrate includes N and P type TFTs 10 and 20 for a driving circuit having drain regions 19 and 29 of an lightly-doped drain(LDD) structure and source regions 18 and 28 of a self-aligned structure, and also includes a LDD-structured pixel TFT 30 of an N type having source and drain regions 38 and 39. LDD regions 17, 27 and 37 of the TFT are formed by introducing impurities obliquely from above but not introducing impurities at a high concentration due to the shade of gate electrodes 14, 24 and 34.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-154814

(43) 公開日 平成10年(1998) 6月9日

(51) Int. Cl.⁶
H01L 29/786
G02F 1/136
H01L 21/336

識別記号

500

F I

H01L 29/78
G02F 1/136
H01L 29/78

613 A
500
612 B
616 A
616 M

審査請求 未請求 請求項の数 7 O L (全13頁) 最終頁に続く

(21) 出願番号 特願平8-313826
(22) 出願日 平成8年(1996)11月25日

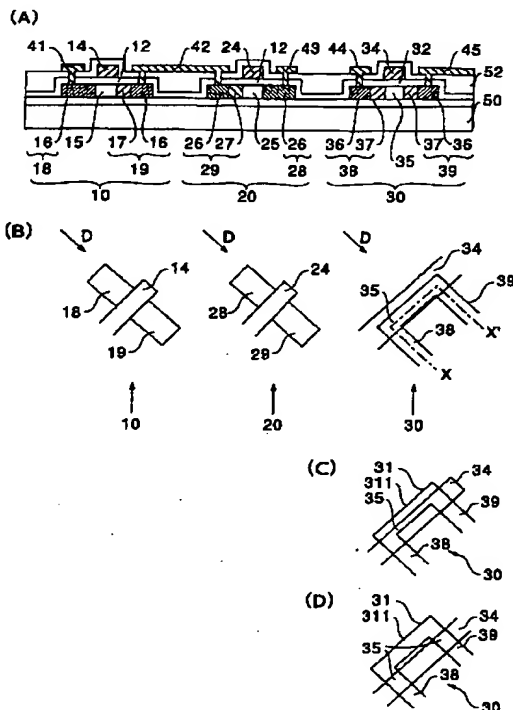
(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 木村 睦
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 アクティブマトリクス基板およびその製造方法

(57) 【要約】

【課題】 駆動回路用TFTについてはオフリーク電流の低減と大きなオン電流の確保とを図るとともに、画素用TFTについてはオフリーク電流の低減を図ることができるアクティブマトリクス基板およびその製造方法を提供すること。

【解決手段】 アクティブマトリクス基板には、ドレイン領域19、29のみがLDD構造でソース領域18、28がセルフアライン構造のN型およびP型の駆動回路用TFT10、20と、ソース領域38およびドレイン領域39の双方がLDD構造のN型の画素用TFT30とが構成されている。これらのTFTのLDD領域17、27、37は、いずれも不純物の導入を斜め上方から行った際にゲート電極14、24、34の影になって高濃度の不純物が導入されないことで形成される。



【特許請求の範囲】

【請求項 1】 駆動回路部で CMOS 回路を構成する第 1 導電型および第 2 導電型の駆動回路用薄膜トランジスタと、画素領域に形成された第 1 導電型の画素用薄膜トランジスタとを有するアクティブマトリクス基板において、

前記第 1 導電型の駆動回路用薄膜トランジスタおよび前記第 2 導電型の駆動回路用薄膜トランジスタの少なくとも一方は、ソース・ドレイン領域のうちの一方の側に LDD 構造またはオフセットゲート構造を有し、他方の側にはセルフアライン構造を有し、

前記第 1 導電型の画素用薄膜トランジスタはソース・ドレイン領域の双方に LDD 構造またはオフセットゲート構造を有していることを特徴とするアクティブマトリクス基板。

【請求項 2】 請求項 1 において、

前記第 1 導電型の駆動回路用薄膜トランジスタおよび前記第 2 導電型の駆動回路用薄膜トランジスタの少なくとも一方は、ソース領域の側にセルフアライン構造を有し、ドレイン領域の側に LDD 構造またはオフセットゲート構造を有していることを特徴とするアクティブマトリクス基板。

【請求項 3】 請求項 1 において、

前記第 1 導電型の駆動回路用薄膜トランジスタ、前記第 2 導電型の駆動回路用薄膜トランジスタ、または前記第 1 導電型の画素用薄膜トランジスタには、導電型が同一で LDD 長またはオフセット長が異なる複数種類の薄膜トランジスタが含まれていることを特徴とするアクティブマトリクス基板。

【請求項 4】 請求項 1 において、

前記第 1 導電型の画素用薄膜トランジスタは、ゲート電極に対して同じ側にソース領域とドレイン領域とが位置することを特徴とするアクティブマトリクス基板。

【請求項 5】 請求項 1 に規定するアクティブマトリクス基板の製造方法であって、

前記の各薄膜トランジスタを構成するための半導体膜、ゲート絶縁膜、ゲート電極を順次形成した以降、前記半導体膜に高濃度不純物を導入して前記第 1 導電型の駆動回路用薄膜トランジスタ、前記第 2 導電型の駆動回路用薄膜トランジスタ、または前記第 1 導電型の画素用薄膜トランジスタの高濃度ソース・ドレイン領域を形成する際に、ゲート電極自身をマスクとして斜め上方から不純物を導入することにより該ゲート電極の影になる部分が LDD 領域またはオフセット領域となるように薄膜トランジスタのレイアウトと不純物の導入方向とを対応させておくことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 6】 請求項 5 において、

前記半導体膜に高濃度不純物を導入して前記半導体膜に高濃度不純物を導入して前記第 1 導電型の駆動回路用薄膜トランジスタ、前記第 2 導電型の駆動回路用薄膜トランジスタ、または前記第 1 導電型の画素用薄膜トランジスタの高濃度ソース・ドレイン領域を形成する際に、LDD 長またはオフセット長を相違させる薄膜トランジスタ間で薄膜トランジスタのレイアウトに対して相対的に異なる方向から不純物を導入することにより、LDD 長またはオフセット長が異なる LDD 領域またはオフセット領域が形成されるように、薄膜トランジスタのレイアウトと不純物の導入方向とを対応させておくことを特徴とするアクティブマトリクス基板の製造方法。

【請求項 7】 請求項 6 において、

各薄膜トランジスタのレイアウトと高濃度不純物の導入方向とが下式 (1) を満たしていることを特徴とするアクティブマトリクス基板の製造方法。

【数 1】

$$\arcsin\left(\frac{L1}{d \cdot \tan\theta}\right) \leq \phi \leq \arcsin\left(\frac{L2}{d \cdot \tan\theta}\right) \dots \text{式 (1)}$$

但し、式中

ϕ : 各薄膜トランジスタのゲート電極の延設方向に対する不純物の導入方向の方位角

L1 : 要求される薄膜トランジスタ特性を得るために許容される最小の LDD 長またはオフセット長

L2 : 要求される薄膜トランジスタ特性を得るために許容される最大の LDD 長またはオフセット長

d : ゲート電極とゲート絶縁膜の膜厚の和

θ : 絶縁基板の法線に対する不純物の導入方向の極角

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、駆動回路を内蔵の液晶表示装置用のアクティブマトリクス基板およびその製造方法に関するものである。更に詳しくは、アクティブマトリクス基板上に、用途に応じて LDD 構造、オフセット構造またはセルフアライン構造の薄膜トランジスタ

（以下、TFT という。）を構成するための技術に関するものである。

【0002】

【従来の技術】 液晶表示装置の駆動回路内蔵型のアクティブマトリクス基板では、図 7 に左側領域から右側領域に向かって、N 型の駆動回路用 TFT10、P 型の駆動回路用 TFT20、および N 型の画素用 TFT30 を示

すように3つのタイプのTFTが同一の絶縁基板50の上に形成されている。ここで、各TFTをセルフアライン構造で形成すると、図8にセルフアライン構造のN型のTFTにおける伝達特性を実線L1で示し、セルフアライン構造のP型のTFTにおける伝達特性を点線L2で示すように、オフリーク電流が大きいという問題点がある。このようにオフリーク電流の大きなTFTを画素用TFTとして用いると、コントラスト低下、フリッカ、表示むらなどの原因となりやすい。また、駆動回路用TFTでもオフリーク電流が大きいと、無駄な電力消費、誤動作、経時劣化などの原因となりやすい。

【0003】そこで、図7に示すアクティブマトリクス基板では、各TFTをLDD構造にして、図9にLDD構造のN型のTFTにおける伝達特性を実線L3で示し、LDD構造のP型のTFTにおける伝達特性を点線L4で示すように、オフリーク電流を低減してある。なお、オフセット構造においても、同様に、オフリーク電流を低減できる。

【0004】このような構造のアクティブマトリクス基板は以下の方法で製造される。

【0005】まず、図10(A)に示すように、下地保護膜51を形成した絶縁基板50上に、島状のシリコン薄膜11、21、31、ゲート絶縁膜12、22、32、およびゲート電極14、24、34を順次形成する。

【0006】次に、図10(B)に示すように、N型の駆動回路用TFT10およびN型の画素用TFT30の形成領域をレジストマスク61で覆う。この状態で、約 10^{13} cm^{-2} のドーズ量でボロニオンを打ち込むと、シリコン薄膜21にはゲート電極24に対して自己整合的に不純物濃度が約 10^{18} cm^{-2} の低濃度P型領域23が形成される。なお、不純物が導入されなかった部分がチャンネル領域25となる。

【0007】次に、図10(C)に示すように、P型の駆動回路用TFT20の形成領域をレジストマスク62で覆う。この状態で、約 10^{13} cm^{-2} のドーズ量でリンイオンを打ち込むと、シリコン薄膜11、31にはゲート電極14、34に対して自己整合的に不純物濃度が約 10^{18} cm^{-2} の低濃度N型領域13、33が形成される。なお、不純物が導入されなかった部分がチャンネル領域15、35となる。

【0008】次に、図10(D)に示すように、N型の駆動回路用TFT10およびN型の画素用TFT30の形成領域に加えて、ゲート電極24をも広めに覆うレジストマスク63を形成する。この状態で、低濃度P型領域23に約 10^{15} cm^{-2} のドーズ量でボロニオンを打ち込で、不純物濃度が約 10^{10} cm^{-2} の高濃度ソース・ドレイン領域26を形成する。低濃度P型領域23のうちレジストマスク63で覆われていた部分は、そのままLDD領域27（低濃度ソース・ドレイン領域）として

残る。このようにしてP型の駆動回路用TFT20を形成する。

【0009】次に、図10(E)に示すように、P型の駆動回路用TFT20の形成領域に加えて、ゲート電極14、34をも広めに覆うレジストマスク64を形成する。この状態で、低濃度N型領域13、23に約 10^{15} cm^{-2} のドーズ量でリンイオンを打ち込んで、不純物濃度が約 10^{10} cm^{-2} の高濃度ソース・ドレイン領域16、36を形成する。低濃度N型領域13、23のうち、レジストマスク64で覆われていた部分は、そのまま不純物濃度が約 10^{18} cm^{-2} のLDD領域17、37（低濃度ソース・ドレイン領域）として残る。このようにして、N型の駆動回路用TFT10およびN型の画素用TFT30を形成する。

【0010】以降、図7に示すように、層間絶縁膜52を形成した後、活性化のためのアニールを行い、しかる後にコンタクトホールを形成した後、ソース・ドレイン電極41、42、43、44、45を形成すれば、アクティブマトリクス基板を製造できる。また、レジストマスク61、62、63、64を形成するための4回のマスク形成工程と、4回の不純物導入工程とによって、LDD構造のソース・ドレイン領域が形成される。なお、低濃度の不純物打ち込みの工程を行わなければ、オフセットゲート構造のソース・ドレイン領域となる。

【0011】

【発明が解決しようとする課題】しかしながら、N型およびP型の駆動回路用TFT10、20についてはN型の画素用TFT30と同様なLDD構造にしてオフリーク電流を低減すると、それに伴ってオン電流も小さくなりすぎて駆動回路の動作速度が低下したり、必要な電源電圧が増大したりする。このような駆動回路の動作速度の低下は、液晶表示装置において高品位の表示の妨げになるという問題点がある。また、必要な電源電圧の増大は、消費電力の低減の妨げとなる。

【0012】以上の問題点に鑑みて、本発明の課題は、同じ基板上において異なる用途に用いられるTFTの構造の最適化を図ることによって、駆動回路用TFTについてはオフリーク電流の低減と大きなオン電流の確保とを図るとともに、画素用TFTについてはオフリーク電流の低減を図ることができるアクティブマトリクス基板およびその製造方法を提供することにある。

【0013】

【課題を解決するための手段】上記課題を解決するために、本発明では、駆動回路部でCMOS回路を構成する第1導電型および第2導電型の駆動回路用薄膜トランジスタと、画素領域に形成された第1導電型の画素用薄膜トランジスタとを有するアクティブマトリクス基板において、前記第1導電型の駆動回路用薄膜トランジスタおよび前記第2導電型の駆動回路用薄膜トランジスタの少なくとも一方は、ソース・ドレイン領域のうちの一方の

側にLDD構造またはオフセットゲート構造を有し、他方の側にはセルフアライン構造を有し、前記第1導電型の画素用薄膜トランジスタはソース・ドレイン領域の双方にLDD構造またはオフセットゲート構造を有していることを特徴とする。

【0014】本発明において、第1導電型の画素用TFTは、オフリーク電流の増大の原因となるドレイン端での電界強度の緩和を目的にLDD構造またはオフセットゲート構造としているため、表示むらなどが発生しない。また、駆動回路用TFTでは、ソース・ドレイン領域の一方のみをLDD構造またはオフセットゲート構造とし、他方の側はセルフアライン構造としているので、オン電流が大きい。従って、駆動回路の動作速度が高いので、品位の高い表示を行うことができる。

【0015】本発明において、前記第1導電型の駆動回路用薄膜トランジスタおよび前記第2導電型の駆動回路用薄膜トランジスタの少なくとも一方は、ソース領域の側にセルフアライン構造を有し、ドレイン領域の側にLDD構造またはオフセットゲート構造を有していることが好ましい。ここで、ソース領域とは、N型のTFTでは低電位側のソース・ドレイン領域のことを意味し、P型のTFTでは高電位側のソース・ドレイン領域のことを意味する。また、ドレイン領域とは、N型のTFTでは高電位側のソース・ドレイン領域のことを意味し、P型のTFTでは低電位側のソース・ドレイン領域のことを意味する。このように、第1導電型または第2導電型の駆動回路用TFTにおいてドレイン領域をLDD構造またはオフセットゲート構造とすると、それを用いたCMOS回路では、いずれのTFTにおいてもドレイン端での電界強度が緩和され、CMOS回路自身のオフリーク電流を低減できる。この場合でも、第1導電型または第2導電型の駆動回路用TFTにおいてソース領域の側がセルフアライン構造であるので、TFTのオン電流が大きい。

【0016】本発明において、前記第1導電型の駆動回路用薄膜トランジスタ、前記第2導電型の駆動回路用薄膜トランジスタ、または前記第1導電型の画素用薄膜トランジスタには、導電型が同一でLDD長またはオフセット長が異なる複数種類の薄膜トランジスタが含まれていることがある。

【0017】このように構成したアクティブマトリクス基板の製造方法では、前記の各薄膜トランジスタを構成するための半導体膜、ゲート絶縁膜、ゲート電極を順次形成した以降、前記半導体膜に高濃度不純物を導入して前記第1導電型の駆動回路用薄膜トランジスタ、前記第2導電型の駆動回路用薄膜トランジスタ、または前記第1導電型の画素用薄膜トランジスタの高濃度ソース・ドレイン領域を形成する際に、ゲート電極自身をマスクとして斜め上方から不純物を導入することにより該ゲート電極の影になる部分がLDD領域またはオフセット領域と

なるように薄膜トランジスタのレイアウトと不純物の導入方向とを対応させておくことを特徴とする。

【0018】このような製造方法において、ゲート電極自身をマスクとして斜め上方から不純物を導入すると、ゲート電極の真下部分に不純物が導入されないことは勿論、不純物の導入方向からみてゲート電極の反対側に位置するためゲート電極の影になる部分（ゲート電極の斜め下方領域）にも不純物は導入されない。一方、ゲート絶縁膜の膜厚はチャンネル長に比べて短いので、不純物の導入方向からみてゲート電極の手前側に位置する部分にはゲート電極に対して自己整合的に不純物が導入される。従って、TFTのレイアウトと不純物の導入方向とを所定の条件に設定しておくだけで、ゲート電極の影になる部分を利用してソース・ドレイン領域の一方側のみにLDD領域またはオフセット領域を形成し、他方の側はセルフアライン構造とすることができる。それ故、片側だけをLDD構造またはオフセットゲート構造とするためにマスクを形成する必要がない。すなわち、第2導電型の駆動回路用TFTにLDD領域を形成する際には第1導電型の画素用TFTおよび第1導電型の駆動回路用TFTを覆うマスクを形成して低濃度第2導電型の不純物導入時と高濃度第2導電型の不純物導入時との間で不純物の導入方向を変えるだけでLDD領域を形成でき、低濃度第2導電型の不純物導入時と高濃度第2導電型の不純物導入時との間でマスクを共用できるので、マスク形成工程を減らすことができる。

【0019】また、このような製造方法において、前記半導体膜に高濃度不純物を導入して前記半導体膜に高濃度不純物を導入して前記第1導電型の駆動回路用薄膜トランジスタ、前記第2導電型の駆動回路用薄膜トランジスタ、または前記第1導電型の画素用薄膜トランジスタの高濃度ソース・ドレイン領域を形成する際に、LDD長またはオフセット長を相違させる薄膜トランジスタ間で薄膜トランジスタのレイアウトに対して相対的に異なる方向から不純物を導入することにより、LDD長またはオフセット長が異なるLDD領域またはオフセット領域が形成されるように、薄膜トランジスタのレイアウトと不純物の導入方向とを対応させておく。

【0020】このように構成した場合には、TFTのレイアウトと不純物の導入方向とを所定の条件に設定しておくだけで、ゲート電極の影になる部分のサイズを変えることができるので、LDD長やオフセット長が異なるTFTを容易に形成できる。それ故、TFT毎に異なるパターンのレジストマスクを形成する必要がない。

【0021】この場合には、各薄膜トランジスタのレイアウトと高濃度不純物の導入方向とが下式(2)を満たすように条件設定を行う。

【0022】

【数2】

$$\arcsin\left(\frac{L1}{d \cdot \tan\theta}\right) \leq \phi \leq \arcsin\left(\frac{L2}{d \cdot \tan\theta}\right) \dots \text{式(2)}$$

但し、式中

ϕ : 各薄膜トランジスタのゲート電極の延設方向に対する不純物の導入方向の方位角

L1 : 要求される薄膜トランジスタ特性を得るために許容される最小のLDD長またはオフセット長

L2 : 要求される薄膜トランジスタ特性を得るために許容される最大のLDD長またはオフセット長

d : ゲート電極とゲート絶縁膜の膜厚の和

θ : 絶縁基板の法線に対する不純物の導入方向の極角

【0023】本発明において、前記第1導電型の画素用TFTは、ゲート電極に対して同じ側にソース領域とドレイン領域とが位置する構造を有している場合がある。

【0024】

【発明の実施の形態】図面を参照して、本発明の実施の形態を説明する。

【0025】〔実施の形態1〕

（アクティブマトリクス基板の構成）図1は、液晶表示装置に用いられる駆動回路内蔵型のアクティブマトリクス基板の構成を模式的に示すブロック図、図2はそれに構成されている各TFTの構造を模式的に示す断面図である。なお、本形態のアクティブマトリクス基板では、各TFTの基本的な構造が、図7に示したアクティブマトリクス基板と略同一であるため、以下の説明において、対応する機能を有する部分には、同じ符号を付してある。また、本例では、第1導電型をN型とし、第2導電型をP型として説明する。

【0026】図1（A）に示すように、液晶表示装置のアクティブマトリクス基板上には、データ線90および走査線91で区画形成された画素領域を有し、そこには、画素用TFT30を介して画像信号が入力される液晶セルの液晶容量94が存在する。データ線90に対しては、シフトレジスタ84、レベルシフタ85、ビデオライン87、アナログスイッチ86を備えるデータドライバ部82がアクティブマトリクス基板上に形成されている。走査線91に対しては、シフトレジスタ88およびレベルシフタ89を備える走査ドライバ部83がアクティブマトリクス基板上に形成されている。画素領域には、前段の走査線91との間に保持容量93が形成されることがあり、この保持容量93は、液晶セル（液晶容量94）での電荷の保持特性を高める機能を有している。

【0027】データドライバ部82や走査ドライバ部83では、図1（B）に示すように、N型の駆動回路用TFT10とP型の駆動回路用TFT20とによってCMOS回路が構成されている。従って、駆動回路内蔵型のアクティブマトリクス基板では、図2（A）に左側領域から右側領域に向かって駆動回路部および画素領域を模式的に示すように、N型の駆動回路用TFT10、N型の駆動回路用TFT20、およびN型の画素用TFT30

0からなる3つのタイプのTFTが同一の絶縁基板50の上に形成されていることになる。

【0028】図2（A）に示すように、N型の画素用TFT30は、ソース領域38およびドレイン領域39のいずれにもゲート電極34の端部に対してゲート絶縁膜32を介して対峙する部分にLDD領域37（低濃度ソース・ドレイン領域）を備えるLDD構造になっている。

【0029】これに対して、N型の駆動回路用TFT10は、ソース領域18およびドレイン領域19のうち、ドレイン領域19の側のみにゲート電極14の端部に対してゲート絶縁膜12を介して対峙する部分にLDD領域17（低濃度ソース・ドレイン領域）を備えるLDD構造になっており、ソース領域18の側はセルフアライン構造になっている。

【0030】同様に、P型の駆動回路用TFT20も、ソース領域28およびドレイン領域29のうち、ドレイン領域29の側のみにゲート電極24の端部に対してゲート絶縁膜22を介して対峙する部分にLDD領域27（低濃度ソース・ドレイン領域）を備えるLDD構造になっており、ソース領域28の側はセルフアライン構造になっている。

【0031】但し、N型の駆動回路用TFT10、N型の駆動回路用TFT20、およびN型の画素用TFT30のソース・ドレイン領域において、LDD領域17、27、37を除く領域は、不純物濃度が約 10^{18} cm^{-3} の高濃度ソース・ドレイン領域16、26、36であり、これらの高濃度領域に対して、各TFTに対する配線層や画素電極などのソース・ドレイン電極41、42、43、44、45が層間絶縁膜52のコンタクトホールを介して電気的に接続している。

【0032】なお、N型の駆動回路用TFT10、N型の駆動回路用TFT20、およびN型の画素用TFT30において、各チャネル領域15、25、35に低濃度のボロンイオンなどをチャネルドーピングしておくことによりN型の駆動回路用TFT10およびP型の駆動回路用TFT20のスレッシュホールド電圧を最適化し、CMOS回路を構成するTFT間におけるオン電流のバランスを高めることがある。

【0033】〔TFTの伝達特性〕このように構成した

TFTのうち、N型の画素用TFT30は、ソース領域38およびドレイン領域39の双方がLDD構造になっているため、ドレイン端における電界強度が緩和された状態にある。それ故、図9にLDD構造のN型のTFTのドレイン電流-ゲート電圧特性を実線L3で示したように、オフリーク電流が著しく小さい。また、N型の駆動回路用TFT10は、図9に一点鎖線L5で示すように、ドレイン領域19がLDD構造になっている分、オフリーク電流が小さく、かつ、ソース領域18がセルフアライン構造になっている分、オン電流が大きい。同様に、P型の駆動回路用TFT20は、図9に二点鎖線L6で示すように、ドレイン領域29がLDD構造になっている分、オフリーク電流が小さく、かつ、ソース領域28がセルフアライン構造になっている分、オン電流が大きい。それ故、オフリーク電流に起因する表示むらや無駄な電力消費などが発生しにくいととも、駆動回路で高速動作が可能である。しかも、N型の駆動回路用TFT10はCMOS回路を構成したときの高電位側がLDD構造であり、P型の駆動回路用TFT30はCMOS回路を構成したときの低電位側がLDD構造であるため、これらを用いたCMOS回路のオフリーク電流を効果的に低減することができる。

【0034】(TFTの製造方法)このような構造のアクティブマトリクス基板は、たとえば以下の方法により製造できる。但し、詳しくは後述するが、本形態では、ゲート電極に対して斜め上方から高濃度の不純物を導入する際にゲート電極の影になって不純物が導入されない領域を利用してLDD領域(低濃度ソース・ドレイン領域)を構成するように、各TFTのレイアウトを不純物の導入方向に対応させてある。すなわち、図2(B)において斜め上方から高濃度の不純物を導入する際の不純物方向を矢印Dで表したとき、N型の駆動回路用TFT10のゲート電極14は平面的には不純物の導入方向に対して直交する方向に延びており、P型の駆動回路用TFT20のゲート電極24も平面的には不純物の導入方向に対して直交する方向に延びている。これに対して、N型の画素用TFT30のゲート電極34は平面的には不純物の導入方向に向かって延びている。

【0035】まず、図3(A)に示すように、下地保護膜51を形成した絶縁基板50の表面に島状のシリコン薄膜11、21、31、膜厚が約1000オングストロームのゲート絶縁膜12、22、32、および膜厚が約6000オングストロームのゲート電極14、24、34を順次形成する。

【0036】次に、図3(B)に示すように、N型の駆動回路用TFT10およびN型の画素用TFT30の形成領域をレジストマスク71で覆う。この状態で、約 10^{11} cm⁻³のドーズ量でボロンイオン(低濃度の第2導電型不純物)を打ち込んで、シリコン薄膜21に不純物濃度が約 10^{11} cm⁻³の低濃度P型領域23を形成す

る。なお、不純物が導入されなかった部分がチャネル領域25となる。

【0037】続いて、図3(C)に示すように、N型の駆動回路用TFT10およびN型の画素用TFT30の形成領域をレジストマスク71で覆ったままの状態、約 10^{15} cm⁻³のドーズ量でボロンイオン(高濃度の第2導電型不純物)を斜め上方(不純物の導入方向を矢印Dで示す。)から打ち込む。その結果、P型の駆動回路用TFT20では、不純物濃度が約 10^{15} cm⁻³の高濃度ソース・ドレイン領域26を備えるソース領域28およびドレイン領域29が形成される。但し、P型の駆動回路用TFT20では、図2(B)を参照して説明したように、ゲート電極24は平面的には不純物の導入方向に直交する方向に延びているため、ドレイン領域29のうちゲート電極24の影になった部分には不純物が導入されない。従って、この部分の低濃度P型領域23は不純物濃度が約 10^{11} cm⁻³のLDD領域27として残る。このようにして、ドレイン領域29がLDD構造で、ソース領域28がセルフアライン構造のP型の駆動回路用TFT20を形成する。しかる後にレジストマスク71を除去する。

【0038】次に、図3(D)に示すように、P型の駆動回路用TFT20の形成領域をレジストマスク72で覆う。この状態で、絶縁基板50に対して真上から約 10^{11} cm⁻³のドーズ量でリンイオン(低濃度の第1導電型不純物)を打ち込んで、シリコン薄膜11、31に不純物濃度が約 10^{11} cm⁻³の低濃度N型領域13、33を形成する。なお、不純物が導入されなかった部分がチャネル領域15、35となる。しかる後にレジストマスク72を除去する。

【0039】次に、図3(E)に示すように、P型の駆動回路用TFT20の形成領域、およびゲート電極34を広めに覆うレジストマスク73を形成する。この状態で、約 10^{15} cm⁻³のドーズ量でリンイオン(高濃度の第1導電型不純物)を斜め上方(不純物の導入方向を矢印Dで示す。)から打ち込む。

【0040】この際に、N型の画素用TFT30では、図2(B)を参照して説明したように、ゲート電極34は平面的には不純物の導入方向に向かって延びているため、その表面側に形成されたレジストマスク73も不純物の導入方向に向かって延びていることになる。従って、N型の画素用TFT30では、真上から不純物が導入された場合と同様、低濃度N型領域33にはレジストマスク73に整合してレジストマスク73で覆われた領域以外の全ての領域に高濃度の不純物が導入され、不純物濃度が約 10^{15} cm⁻³の高濃度ソース・ドレイン領域36が形成される。但し、低濃度N型領域33のうち、レジストマスク73で覆われていた部分には高濃度のリンイオンが導入されないため、この部分の低濃度N型領域33は不純物濃度が約 10^{11} cm⁻³のLDD領域37

10

20

30

40

50

として残る。このようにして、ソース領域 38 およびドレイン領域 39 の双方が LDD 構造の N 型の画素用 TFT 10 を形成する。

【0041】これに対して、N 型の駆動回路用 TFT 10 では不純物濃度が約 10^{18} cm^{-3} の高濃度ソース・ドレイン領域 16 を備えるソース領域 18 およびドレイン領域 19 が形成される。但し、N 型の駆動回路用 TFT 10 では、図 2 (B) を参照して説明したように、ゲート電極 14 は平面的には不純物の導入方向に直交する方向に延びているため、ドレイン領域 19 の側にはゲート電極 14 が影となる部分が発生し、この影になった部分には不純物が導入されない。従って、この部分の低濃度 N 型領域 13 は、レジストマスク 73 がなくても不純物濃度が約 10^{18} cm^{-3} の LDD 領域 17 として残る。一方、ソース領域 18 の側ではゲート電極 14 に自己整合的に不純物が導入される。このようにして、ドレイン領域 19 が LDD 構造でソース領域 18 がセルフアライン構造の N 型の駆動回路用 TFT 10 を形成する。

【0042】しかる後にレジストマスク 73 を除去する。

【0043】以降、図 2 (A) に示すように、層間絶縁膜 52 を形成した後、活性化のためのアニールを行い、しかる後に、コンタクトホールを形成してソース・ドレイン電極 41、42、43、44、45 を形成すれば、アクティブマトリクス基板を製造できる。また、レジストマスク 71、72、73 を形成するための 3 回のマスク形成工程と、4 回の不純物導入工程とによって、セルフアライン構造のソース・ドレイン領域と LDD 構造のソースドレイン領域とを構成できる。

【0044】このように、本形態に係るアクティブマトリクス基板の製造方法では、図 4 (A) に N 型の駆動回路用 TFT 10 の例を示すように、ゲート電極 14 をマスクとして斜め上向 (矢印 D の方向) から高濃度不純物を導入したときには、ゲート電極 14 の真下部分に不純物が導入されないことは勿論、不純物の導入方向からみてゲート電極 14 の反対側に位置するためゲート電極 14 の影になる部分 (ゲート電極 14 の斜め下方領域) にも不純物は導入されない。すなわち、ゲート電極 14 とゲート絶縁膜 12 の膜厚の和を d とし、かつ、絶縁基板 50 の法線に対する不純物の導入角度が θ で、図 4

(B) に示すように、ゲート電極 14 の延設方向に対する不純物の導入角度が ϕ の方向から不純物を導入すると、ゲート電極 14 の影になって不純物が導入されない部分の長さ (LDD 長) は、以下の値

$$d \cdot \tan \theta \cdot \sin \phi$$

となる。従って、N 型の駆動回路用 TFT 10 のレイアウトと不純物の導入方向とを所定の条件に設定しておくだけで、ゲート電極 14 の影になる部分に所定の LDD 長の LDD 領域 17 を形成できる。なお、図 4 (A) に示すように、不純物の導入方向からみてゲート電極 14

の手前側に位置する部分ではゲート絶縁膜 12 に相当する分のずれは生じるものの、ゲート絶縁膜 12 は膜厚が 1000 オングストロームと極めて薄いので、ゲート電極 14 に対して自己整合的に不純物が導入されるといえる。従って、ゲート電極 14 の影になる部分を利用すれば、ソース領域 18 およびドレイン領域 19 のうちの一方側のみを LDD 構造とし、他方の側はセルフアライン構造とすることができる。それ故、片側だけを LDD 構造とするととしてもレジストマスクを形成する必要がない。

【0045】また、P 型の駆動回路用 TFT 20 に LDD 領域 27 を形成する際には、N 型の画素用 TFT 30 および N 型の駆動回路用 TFT 10 を覆うレジストマスク 71 を形成して、低濃度のボロンイオンを導入する時と高濃度のボロンイオンを導入する時との間で不純物の導入方向さえ変えれば、片側だけが LDD 構造の P 型の駆動回路用 TFT 20 を形成することができる。従って、低濃度のボロンイオンを導入する時と高濃度のボロンイオンを導入する時との間でレジストマスク 71 を共用できるので、その分、マスク形成工程が少なくて済む。

【0046】〔実施の形態 2〕本形態においても、図 5 に示すように、実施の形態 1 と同様、N 型の画素用 TFT 30 はソース領域 38 およびドレイン領域 39 のいずれもが LDD 構造になっている。これに対して、N 型の画素用 TFT 10 および P 型の画素用 TFT 20 はドレイン領域 19、29 の側のみが LDD 構造になっており、ソース領域 18、28 の側はセルフアライン構造になっている。

【0047】但し、本形態では実施の形態 1 よりはレジストマスクの形成工程をさらに減らすために、各 TFT のレイアウトと高濃度の不純物の導入方向とを図 5 (B) に示すように設定してある。

【0048】すなわち、図 5 (B) においても斜め上方から高濃度の不純物を導入する際の不純物方向を矢印 D で表したとき、N 型の駆動回路用 TFT 10 および P 型の駆動回路用 TFT 20 のゲート電極 14、24 は平面的には不純物の導入方向に対して直交する方向に延びている。

【0049】これに対して、N 型の画素用 TFT 30 ではゲート電極 34 が平面的には不純物の導入方向に対して直交する方向に延び、ゲート電極 34 に重なるようにチャネル領域 35 も不純物の導入方向に対して直交する方向に延びているが、ソース領域 38 およびドレイン領域 39 はいずれもゲート電極 34 およびチャネル領域 35 に対して直角の方向、かつ同じ方向に延びている。すなわち、N 型の画素用 TFT 30 は、ソース領域 38 およびドレイン領域 39 がゲート電極 34 に対して同じ側に位置する構造になっている。従って、図 5 (A) および以下に説明する図 6 では、N 型の画素用 TFT 30 を

図 5 (B) の X-X' 線に沿って切断したときの断面を表してあることになる。なお、この構造の N 型の画素用 TFT 30 としては、図 5 (C) に示すように、ソース領域 38 からドレイン領域 39 までコの字状に屈曲しながら延びるシリコン薄膜 31 のうち、ゲート電極 34 と平行に延びている部分 311 に対してゲート電極 34 が部分的に重なっている構造、または図 5 (D) に示すように、ゲート電極 34 と平行に延びている部分 311 からゲート電極 34 が完全にずれているため、2 つのチャネル領域 35 が形成されているタンデム構造であってもよい。

【0050】このような構成のアクティブマトリクス基板の製造方法においては、図 6 (A) ~ 図 6 (D) に示す工程は図 3 (A) ~ 図 3 (D) を参照して説明した工程と同様である。すなわち、図 6 (A) に示すように、絶縁基板 50 の表面にシリコン薄膜 11、21、31、ゲート絶縁膜 12、22、32、およびゲート電極 14、24、34 を順次形成した後、図 3 (B) および図 3 (C) に示すように、N 型の駆動回路用 TFT 10 および N 型の画素用 TFT 30 の形成領域をレジストマスク 71 で覆ったままの状態、低濃度のボロンイオンを導入する時と高濃度のボロンイオンを導入する時との間で不純物の導入方向だけを変えて、片側だけが LDD 構造の P 型の駆動回路用 TFT 20 を形成する。

【0051】また、図 6 (D) に示すように、P 型の駆動回路用 TFT 20 の形成領域をレジストマスク 72 で覆った状態で、絶縁基板 50 に対して真上から約 10^{15} cm^{-2} のドーズ量でリンイオン（低濃度の第 1 導電型の不純物）を打ち込んで、シリコン薄膜 11、31 に不純物濃度が約 10^{18} cm^{-2} の低濃度 N 型領域 13、33 を形成する。この際には、図 5 (B) に示したように、N 型の駆動回路用 TFT 10 と N 型の画素用 TFT 30 とではゲート電極 14、34 が同じ方向に延びているので、この方向から低濃度のリンイオンを打ち込んで低濃度 N 型領域 13、33 を形成してもよい。

【0052】次に、本形態では、図 6 (D) に示すように、P 型の駆動回路用 TFT 20 の形成領域をレジストマスク 72 で覆った状態のままで、約 10^{15} cm^{-2} のドーズ量でリンイオン（高濃度の第 1 導電型の不純物）を斜め上方（不純物の導入方向を矢印 D で示す。）から打ち込む。

【0053】ここで、N 型の画素用 TFT 30 では、図 5 (B) を参照して説明したように、ソース領域 38 およびドレイン領域 39 はゲート電極 34 に対して同じ側に位置し、ソース領域 38 およびドレイン領域 39 には同じようにゲート電極 34 の影になる部分が発生する。それ故、図 6 (D) では、低濃度 N 型領域 13、33 に対する不純物導入方向（矢印 D）をソース領域 38 とドレイン領域 39 との間で左右逆に表してある。

【0054】このようにして斜め上方から高濃度のリン

イオンを打ち込むと、N 型の画素用 TFT 30 では、不純物濃度が約 10^{18} cm^{-2} の高濃度ソース・ドレイン領域 36 を備えるソース領域 38 およびドレイン領域 39 が形成される。但し、ゲート電極 34 は平面的には不純物の導入方向に直交する方向に延びているため、ソース領域 38 およびドレイン領域 39 のうち、ゲート電極 34 の影になった部分には不純物が導入されない。従って、この部分の低濃度 N 型領域 33 は不純物濃度が約 10^{15} cm^{-2} の LDD 領域 37 として残る。このようにして、ソース領域 38 およびドレイン領域 39 の双方が LDD 構造の N 型の画素用 TFT 30 を形成する。

【0055】これに対して、N 型の駆動回路用 TFT 10 では、ドレイン領域 19 の側のみにゲート電極 14 の影が発生するので、ドレイン領域 19 の側は LDD 構造となり、ソース領域 18 の側はセルフアライン構造となる。

【0056】以降の工程は実施の形態 1 と同様であるため、その説明を省略する。

【0057】このように、本形態によれば、ゲート電極の影になる部分を利用して LDD 領域を形成するので、片側だけを LDD 構造とするとしてもレジストマスクを形成する必要がない。また、P 型の駆動回路用 TFT 20 に LDD 領域 27 を形成する際には、低濃度のボロンイオンを導入する時と高濃度のボロンイオンを導入する時との間でレジストマスク 71 を共用できるので、その分、マスク形成工程が少なく済むなど、実施の形態 1 と同様な効果を奏する。

【0058】それに加えて、本形態では、N 型の駆動回路用 TFT 10 および N 型の画素用 TFT 30 を形成する際に、低濃度の不純物を導入する時と高濃度の不純物を導入する時との間で不純物の導入方向さえ変えれば、片側だけが LDD 構造の N 型の駆動回路用 TFT 10 と、両方が LDD 構造の N 型の画素用 TFT に形成することができるように、TFT のレイアウトと不純物の導入方向とを対応させてある。従って、低濃度の不純物を導入する時と高濃度の不純物を導入する時との間でレジストマスク 72 を共用できるので、その分、実施の形態 1 に比較してマスク形成工程が 1 回少なくて済む。それ故、レジストマスク 71、72 を形成するための 2 回のマスク形成工程と、4 回の不純物導入工程とによってアクティブマトリクス基板を製造できる。

【0059】【その他の実施の形態】上記の実施の形態 1、2 において不純物導入方法としては、たとえば、ドーパントガスから発生した全てのイオンを質量分離せずに打ち込む方法、いわゆるイオンドーピング法を用いることができる。この方法で、たとえば、N 型の不純物を高濃度に打ち込む場合には、 PH_3 を約 5% 含み、残部が水素ガスからなる混合ガスを用い、この混合ガスから発生する全てのイオンを質量分離せずに打ち込む。これに対して、N 型の不純物を低濃度に打ち込む場合には、

P H、を約 5 % 含み、残部が水素ガスからなる混合ガスから発生する全てのイオンを質量分離せずに打ち込んだ後、純水素ガスから発生するイオンを質量分離せずに打ち込んで、シリコン膜中の不整結合を終端化することが好ましい。さらに、不純物の導入方法については、イオン注入法やイオンドーピング法の他にも、プラズマドーピング法、レーザドーピング法などを用いてもよい。

【0060】なお、図 3 (B) ~ (E) に示す各工程、あるいは図 6 (B) ~ (E) に示す各工程については、その順序を入れ換えてもよいことは勿論である。また、マスクの材質についてもレジストマスクに限定されない。

【0061】また、図 4 (A)、(B) を参照して説明したように、ゲート電極をマスクとして斜め方向から高濃度の不純物を導入したときには、ゲート電極とゲート絶縁膜の膜厚の和を d とし、絶縁基板 50 の法線に対して角度 θ 、およびゲート電極の延設方向に対して角度 ϕ

$$\arcsin\left(\frac{L1}{d \cdot \tan\theta}\right) \leq \phi \leq \arcsin\left(\frac{L2}{d \cdot \tan\theta}\right) \cdots \text{式 (3)}$$

但し、式中

ϕ : 各薄膜トランジスタのゲート電極の延設方向に対する不純物の導入方向の方位角

$L1$: 要求される薄膜トランジスタ特性を得るために許容される最小の LDD 長またはオフセット長

$L2$: 要求される薄膜トランジスタ特性を得るために許容される最大の LDD 長またはオフセット長

d : ゲート電極とゲート絶縁膜の膜厚の和

θ : 絶縁基板の法線に対する不純物の導入方向の極角

【0064】なお、不純物の導入方向からみてゲート電極の手前側に位置する部分では厳密に言えばゲート絶縁膜の厚さ分だけセルフアライン構造からずれるが、一般的にはゲート絶縁膜の膜厚はゲート電極の膜厚の 1/2

以下であるため、そのずれは小さいので、実質的にはセルフアライン構造と見做すことができる。

【0065】さらに、上記のいずれの形態 1、2 においても LDD 構造を有する場合を説明したが、実施の形態 1、2 で説明した TFT の製造方法において、図 3 (B)、(D)、および図 6 (B)、(D) を参照して説明した低濃度の不純物を導入する工程を省略すれば、N 型の画素用 TFT 30 がソース領域およびドレイン領域の双方にオフセットゲート構造を有し、N 型および P 型の駆動回路用 TFT がドレイン領域のみにオフセットゲート構造を有するアクティブマトリクス基板を製造できる。すなわち、低濃度の不純物導入工程を省略するとともに、図 4 (A)、(B) を参照して説明したように斜め上方から高濃度の不純物を導入するとゲート電極の影になる部分には不純物が導入されないで、そこをオフセット領域として利用できる。このようなオフセット構造を用いても LDD 構造と同様、ドレイン端での電界強度を緩和できるので、オフリーク電流を低減できる。

【0066】なお、本願明細書では、第 1 導電型を N 型とし、第 2 導電型を P 型としたが、逆にしてもよい。す

方向から不純物を導入すると、ゲート電極に遮られて不純物が導入されない部分の長さ (LDD 長) は、以下の値 $d \cdot \tan\theta \cdot \sin\phi$ となることから、TFT 毎にゲート電極の延設方向を変えて、不純物を導入する際の角度 ϕ を相違させれば、駆動回路などにおいて、N 型の駆動回路用 TFT 10 または P 型の駆動回路用 TFT として形成される多数の TFT の中には、導電型が同一で LDD 長が異なる複数種類の TFT を形成することができる。

【0062】ここで、LDD 長やオフセット長は各薄膜トランジスタのレイアウトと高濃度不純物の導入方向によって規定されることから、各薄膜トランジスタのレイアウトと高濃度不純物の導入方向については、下式 (3) を満たす条件に設定すればよい。

【0063】

【数 3】

なわち、画素用 TFT を P 型で構成してもよい。

【0067】

【発明の効果】以上説明したように、本発明に係るアクティブマトリクス基板では、第 1 導電型および第 2 導電型の駆動回路用 TFT は、オフリーク電流の増大の原因となるドレイン端での電界強度の緩和を目的にドレイン領域のみを LDD 構造またはオフセットゲート構造とし、ソース領域の側はセルフアライン構造として大きなオン電流を確保している。それ故、駆動回路の動作速度が高いので、品位の高い表示を行うことができる。

【0068】このように構成したアクティブマトリクス基板の製造方法において、ゲート電極に対して斜め上方から高濃度の不純物の導入を行うと、ゲート電極の影になった部分には高濃度の不純物が導入されないで、その部分をレジストマスクで覆わなくても LDD 領域やオフセット領域を形成できる。

【図面の簡単な説明】

【図 1】(A) は、液晶表示装置のアクティブマトリクス基板の説明図、(B) は、その CMOS 回路の基本構成の例としてのインバータを示す説明図である。

【図 2】(A) は本発明の実施例 1 に係る液晶表示装置のアクティブマトリクス基板に形成した各 TFT の構造を模式的に示す断面図、(B) は、各 TFT のレイアウトと高濃度の不純物を導入する方向との平面的な関係を

示す説明図である。

【図 3】 (A) ~ (E) は、本発明の実施の形態 1 に係るアクティブマトリクス基板の製造方法を示す工程断面図である。

【図 4】 (A)、(B) は、本発明において斜め上方からの不純物導入によって LDD 領域またはオフセット領域を形成できることを示す説明図である。

【図 5】 (A) は本発明の実施例 2 に係る液晶表示装置のアクティブマトリクス基板に形成した各 TFT の構造を模式的に示す断面図、(B) は、各 TFT のレイアウトと高濃度の不純物を導入する方向との平面的な関係を示す説明図である。

【図 6】 (A) ~ (E) は、本発明の実施の形態 2 に係るアクティブマトリクス基板の製造方法を示す工程断面図である。

【図 7】 従来の液晶表示装置のアクティブマトリクス基板に形成した各 TFT の構造を模式的に示す断面図である。

【図 8】 セルフアライン構造の TFT の伝達特性を示すグラフ図である。

【図 9】 LDD 構造の TFT の伝達特性を示すグラフ図

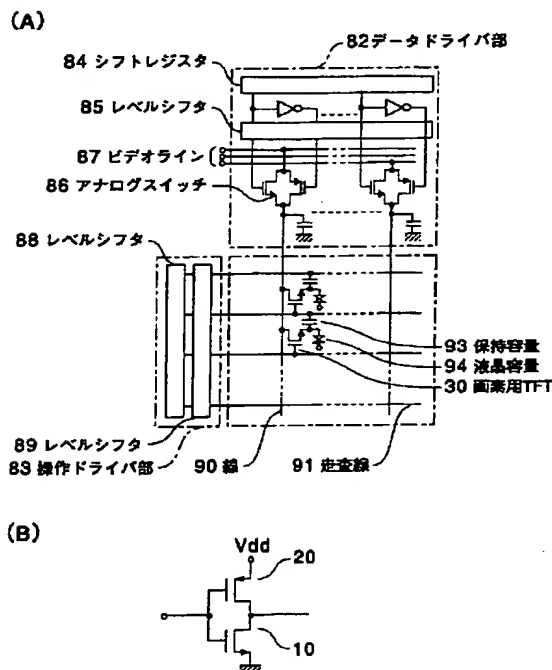
である。

【図 10】 (A) ~ (E) は、図 7 に示すアクティブマトリクス基板の製造方法を示す工程断面図である。

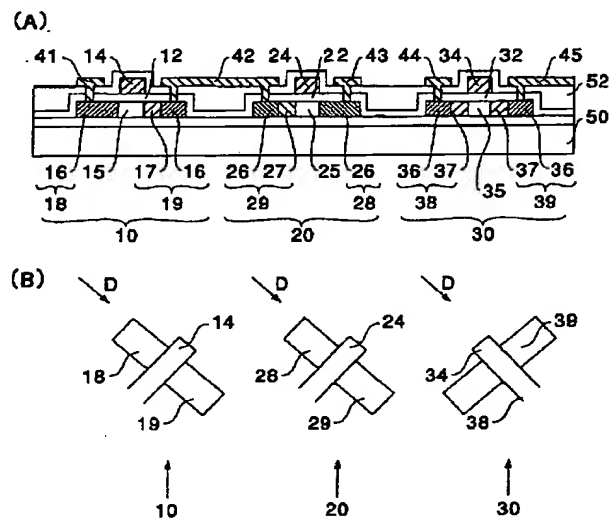
【符号の説明】

- 10 N型の駆動回路用 TFT
- 11、21、31 シリコン薄膜
- 13、33 低濃度 N 型領域
- 12、22、32 ゲート絶縁膜
- 15、25、35 チャンネル領域
- 16、26、36 高濃度ソース・ドレイン領域
- 17、27、37 LDD 領域 (低濃度ソース・ドレイン領域)
- 18、28、38 ソース領域
- 19、29、39 ドレイン領域
- 20 P型の駆動回路用 TFT
- 23 高濃度 P 型領域
- 30 N型の画素用 TFT
- 41、42、43、44、45 ソース・ドレイン電極
- 50 絶縁基板
- 52 層間絶縁膜
- 71、72、73 レジストマスク

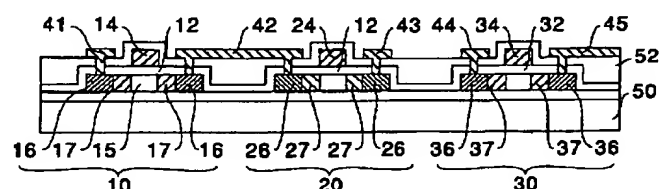
【図 1】



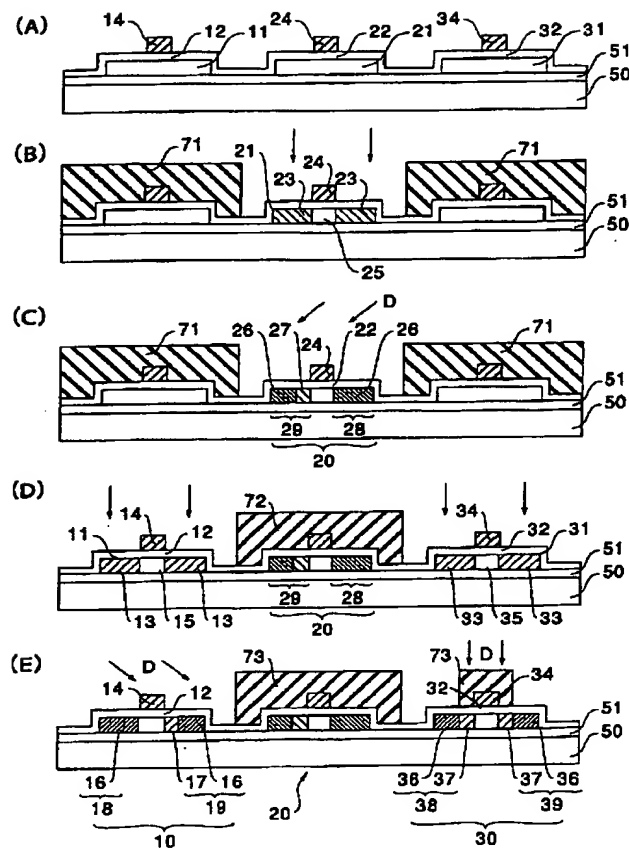
【図 2】



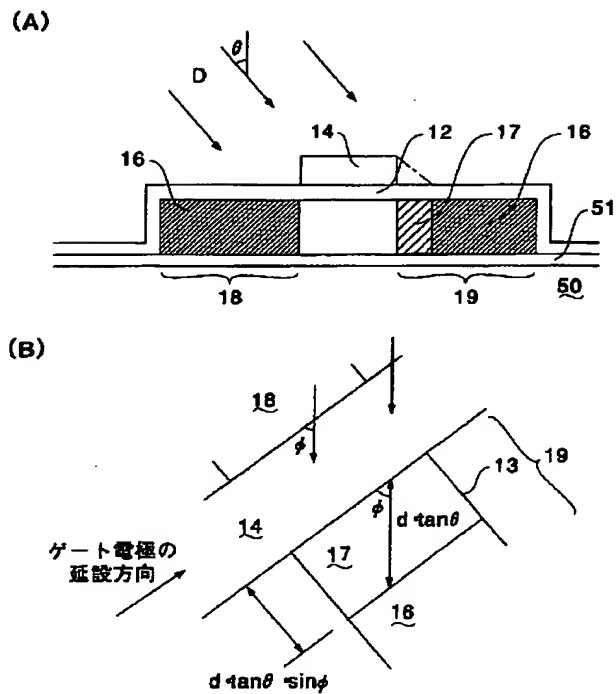
【図 7】



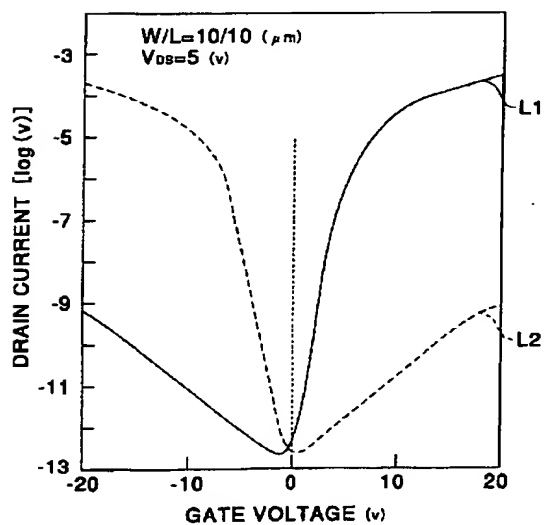
【図 3】



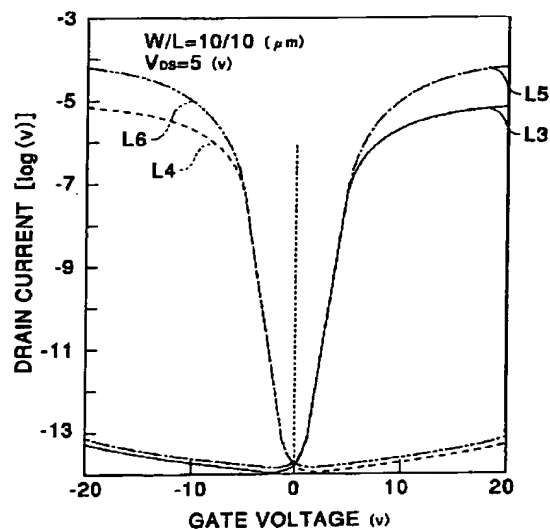
【図 4】



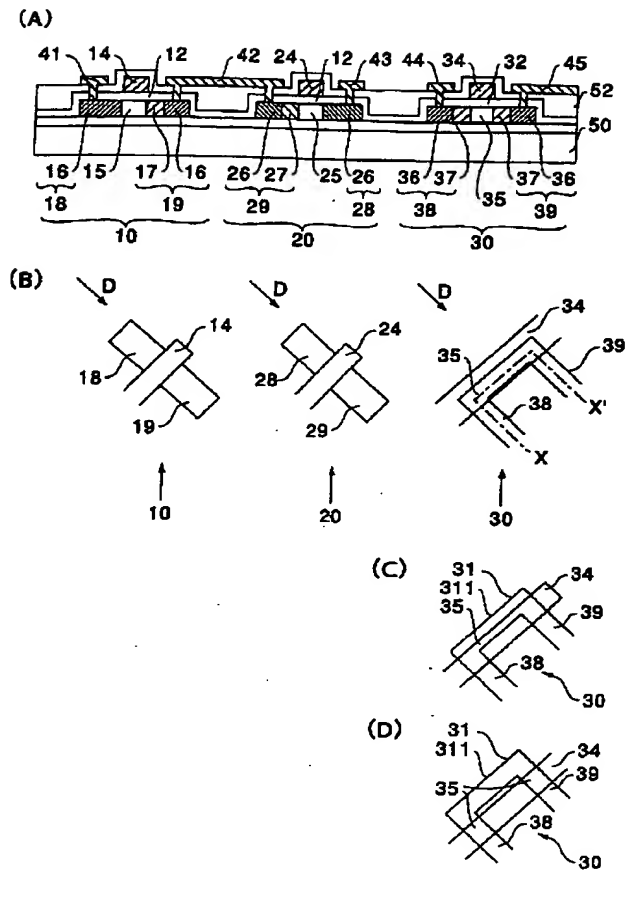
【図 8】



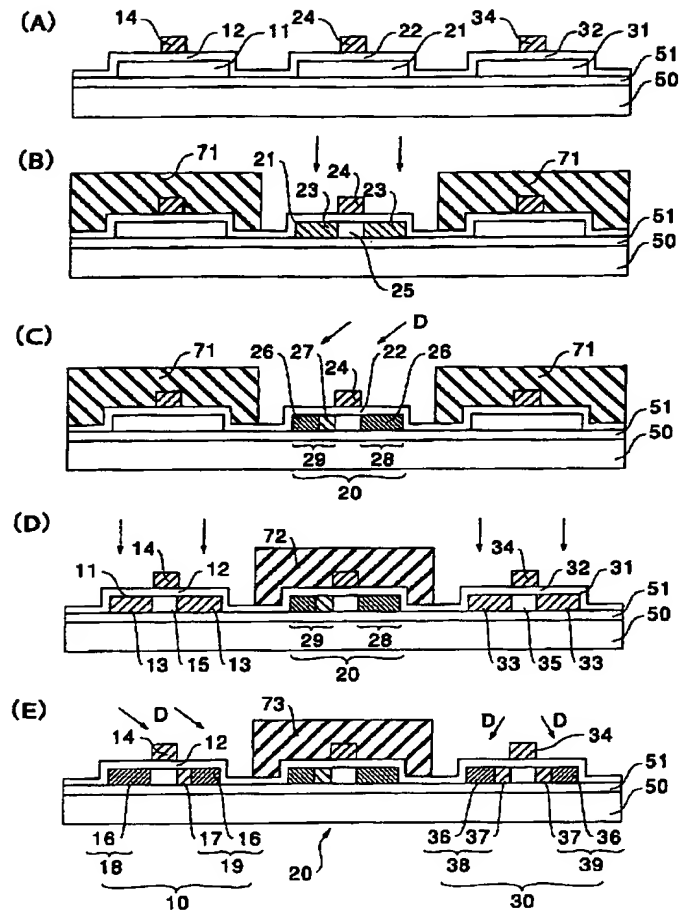
【図 9】



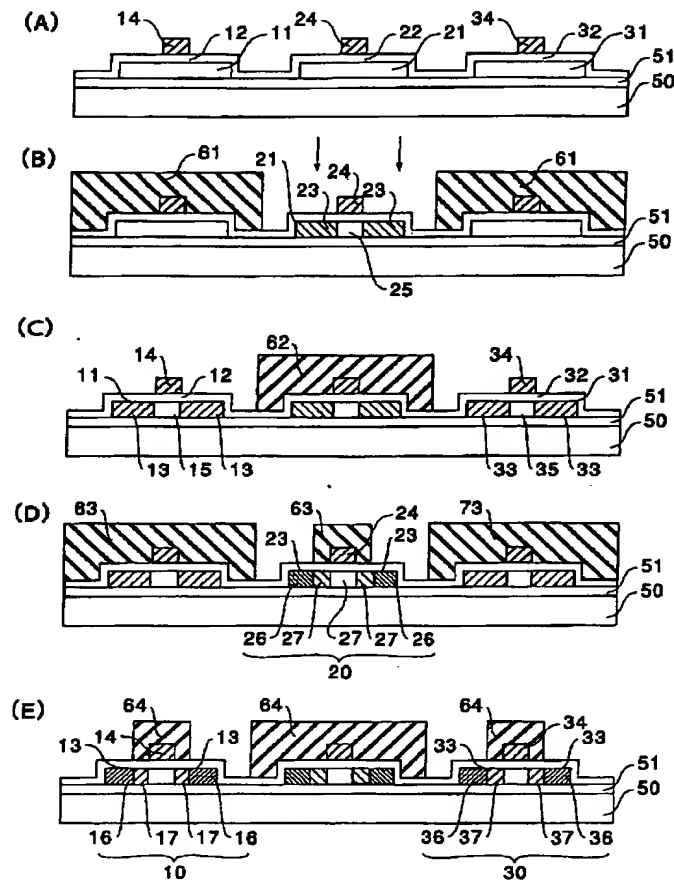
【図 5】



【図 6】



【図 10】



フロントページの続き

(51) Int. Cl.⁶

識別記号

F I

H 0 1 L 29/78

6 1 7 A

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.